

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

**Defective images within this document are accurate representations of the original documents submitted by the applicant.**

**Defects in the images may include (but are not limited to):**

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**

The diagram illustrates a multiprocessor system architecture. At the top, a common time base is indicated by the text "(~ COMMON TIME BASE)" and "clk (= gemeinsame Zeitbasis)". A horizontal line representing the clock signal "clk" runs across the top, with arrows pointing down to the "PS" block in the  $\mu C$  and to the "PM1" block in the P. On the left, a box labeled  $\mu C$  contains three sub-blocks: "PS" (Process Scheduler), "CPU" (Central Processing Unit), and "DS" (Data Store). The "PS" and "CPU" are connected by a horizontal line, and the "CPU" and "DS" are connected by a vertical line. A double-headed arrow connects the "CPU" to the "PM1" block. In the center, a large box labeled P contains a vertical stack of blocks: "PM1", "PM2", "PM3", a vertical ellipsis, and "PMn". On the right, there are two boxes labeled "SPM1" and "SPM3". Arrows point from "SPM1" to "PM1" and from "SPM3" to "PM3".

# **LEDIGLICH ZUR INFORMATION**

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidshjan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

## Beschreibung

Verfahren und Vorrichtung zur Systemsimulation von Mikrocontrollern/Mikroprozessoren und zugehörnden Peripheriemodulen

5

Die Erfindung betrifft ein Verfahren zur Systemsimulation sowie eine Vorrichtung zur Durchführung des Verfahrens.

10

Simulationen von Rechnermodulen dienen dazu, die Systemarchitektur eines Rechners zu optimieren, eine geeignete Software zu entwickeln und frühzeitig Fehler zu erkennen, bevor die Hardware tatsächlich realisiert wird. Dadurch kann erheblicher Entwicklungsaufwand eingespart werden.

15

Muster eines Systems ist hierbei die Anordnung eines Microcontrollers mit Peripheriemodulen und externer Umgebung zu verstehen. Der Microcontroller im speziellen ist die reine Programmverarbeitungseinheit (CPU). Im allgemeinen besitzen Microcontrollerchips aber auch Peripheriemodule auf dem Chip.

20

Peripheriemodule können hierbei die unterschiedlichsten Aufgaben besitzen, z. B. Analog zu Digital Wandler (ADC), Zähler, serielle Schnittstellen usw. Peripheriemodule sind in diesem Zusammenhang immer Hardwaremodule.

25

Wenn zum Beispiel für einen Mikrocontroller ein Peripheriemodul entwickelt werden soll, wird dieses Modul mit typischen Signalmustern simuliert, wobei der vorzugsweise ebenfalls simulierte Mikroprozessor das Modul konfiguriert und steuert.

30

Die simulierten Zustände des Moduls werden durch den Mikroprozessor abgefragt und ausgewertet. Da die Simulationen taktzyklengenau sind, werden alle Module immer mitsimuliert, wenn der Mikrocontroller die Zustände des Peripheriemoduls auswertet. Diese Auswertung kann die Simulationszeit erheblich verlängern.

35

Insbesondere in dem Fall, in dem mehrere Module gleichzeitig simuliert werden, kann jedoch der gesamte Ablauf eine relativ lange Zeitdauer erfordern, zumal aufgrund des einheitlichen Prozessortaktes die Simulation aller Module stets weiter-  
5 läuft, auch wenn gerade die Zustände eines Moduls ausgewertet werden.

Bisher wurde die verlängerte Simulationszeit in Kauf genommen oder es wurde die Auswertung der Peripheriezustände auf ein  
10 Minimum reduziert bzw. nicht während der Systemsimulation gemacht.

Aus EP 0 777 180 A2 ist bereits ein Verfahren zur Simulation und Emulation von Systemen, bestehend aus Software und (simu-  
15 lierten) Hardware Komponenten, bekannt. Das Verfahren sieht vor, die Interaktion zwischen den Hardware und Software Komponenten zu ermöglichen und gleichzeitig beide Systeme weitgehend zu entkoppeln.

20 Die Grundidee dieses Verfahrens ist es, die Uhren der Komponenten unabhängig laufen zu lassen und sie nur an den Stellen, an denen eine Interaktion zwischen den Systemen erfolgt, für die unbedingt notwendige Zahl von Taktzyklen zu synchronisieren. (Anm.: Hierbei ist der Ausdruck "Uhr einer Kompo-  
25 nente" in dem Sinne verwendet, daß damit die simulierte Zeit gemessen wird.) Die reale Zeit ist natürlich für alle Komponentensimulationen gleich. Um den Unterschied zu verdeutlichen: Die eine Sekunde simulierte Zeit kann z. B. eine Stunde reale Zeit dauern.

30 Der Vorteil dieses Verfahrens liegt darin, daß eine schnell simulierbare Systemkomponente nicht von einer langsamen ausgebremst wird. Das gilt natürlich nur, wenn die Interaktion zwischen den Komponenten gering ist. Sind dagegen beide Uhren  
35 starr synchronisiert, dann kann die Simulationsgeschwindigkeit niemals höher als die der langsamsten Komponenten sein.

Der Nachteil des Verfahrens liegt darin, daß es in vielen Systemsimulationen nicht tolerierbar ist, daß die Uhren der Komponenten keinerlei absolute Synchronisation besitzen. Hinzu kommt, daß Simulationsläufe nicht völlig reproduzierbar sind, da die relative Stellung der Uhren der Teilkomponenten z. B. durch die Auslastung der Simulationsrechner beeinflusst wird.

Der Erfindung liegt deshalb die Aufgabe zugrunde, ein Verfahren und eine Vorrichtung der eingangs genannten Art anzugeben, mit dem der gesamte Simulationsablauf wesentlich beschleunigt werden kann.

Gelöst wird diese Aufgabe für das Verfahren dadurch, daß eine erste Abfolge von Verfahrensschritten zur Simulation des Moduls mit vorbestimmten Signalmustern und eine zweite Abfolge von Verfahrensschritten zur Abfrage und zur Auswertung von durch die Simulation hervorgerufenen Systemzuständen vorgesehen ist, wobei die erste Abfolge zur Durchführung der zweiten Abfolge nach Maßgabe von in die erste Abfolge eingefügte Marken unterbrochen und die zweite Abfolge in einer an die Auswertung angepaßten, beschleunigten Betriebsart ausgeführt wird.

Während der normalen Simulation wird der Mikrocontroller und das Peripheriemodul taktzyklengenau simuliert, während bei der beschleunigten Codeausführung dagegen keine "simulierte" Zeit vergeht, d. h., daß der Programmteil in einer Art Instruction-Set-Simulator abgearbeitet wird.

Unter beschleunigter Betriebsart bzw. Codeausführung ist dabei zu verstehen, daß nur ein geringer Teil des Systems imuliert/ausgeführt wird und das zum Teil noch in einer vereinfachten Form. Ein Beispiel ist, daß nur die CPU als Befehlssatz-Simulator Programmcode verarbeitet und das übrige System nicht simuliert wird. Ein Beispiel für ein Peripheriemodul

ist eine serielle Schnittstelle, die Daten im Ausgangspuffer direkt im Speicher für die Simulationsauswertung ablegt. Im Falle der nichtbeschleunigten Betriebsweise, würde die serielle Schnittstelle die Daten bitweise über mehrere Taktzyklen hinweg in ein Ausgangssignal umsetzen, das dann von einem Empfänger bitweise empfangen, zusammengesetzt und im Speicher abgelegt wird.

In einer Ausführungsform ist vorgesehen, daß während der beschleunigten Codeausführung auch bestimmte Peripheriemodule rein funktional mitsimuliert werden.

Die Aufgabe wird für die Vorrichtung zur Durchführung des Verfahrens dadurch gelöst, daß eine Mikroprozessor-Steuereinheit zur Simulation des Moduls vorgesehen ist durch Erzeugung von taktzyklenbasierten Signalmustern sowie zur Abfrage und zur Auswertung der durch die Simulation hervorgerufenen Systemzustände während einer Programmunterbrechung durch Aktivierung eines Befehlssatz-Simulators.

Ein besonderer Vorteil dieser Lösungen besteht darin, daß durch die Trennung der eigentlichen Systemsimulation von der Auswertung der Simulationsergebnisse eine wesentliche Verringerung der für den Gesamtablauf erforderlichen Zeit erreicht werden kann, da in der Auswertungsphase der Prozessor einerseits nicht mit den dann überflüssigen Simulationsvorgängen belastet ist und andererseits die Auswertung an sich durch die beschleunigte Betriebsart schneller abläuft.

Weitere Vorteile bestehen darin, daß das Programm die Zustände des Peripheriemoduls umfassend kontrollieren und testen kann. Es muß nicht ein zusätzliches externes Auswertungsprogramm aktuell gehalten werden. Darüber hinaus kann vollständig verhindert werden, daß die Auswertung das Zeitverhalten des Programms beeinflußt.



Ein entscheidender Vorteil besteht darüber hinaus darin, daß das für die Systemsimulation und den simulierten Mikrocontroller erarbeitete Programm nach Entfernung der vorgesehenen Marken für den tatsächlich realisierten, also in Silizium gegossenen Mikrocontroller eingesetzt werden kann.

Zusammenfassend besteht die Erfindung zur Simulation von Rechnermodulen im Wesentlichen darin, daß sich die Systemsimulation aus der Sicht des Mikrocontrollers bzw. Mikroprozessors in zwei Teilsimulationen unterteilen lassen: Zum einen in die eigentliche Systemsimulation, also in die Simulation des Peripheriemoduls, das mit typischen Signalmustern simuliert wird, und in die Simulation des Mikrocontrollers. Die zweite Teilsimulation betrifft die Auswertung von abgefragten Systemzuständen. Wenn die Auswertungsphase durch das vorgeschlagene Verfahren beschleunigt wird, wird sowohl das simulierte Zeitverhalten genauer, als auch die gesamte Simulationszeit wesentlich verringert.

Das erfindungsgemäße Verfahren wird nachfolgend anhand eines Ausführungsbeispiels näher erläutert.

Als Ausführungsbeispiel wird die Simulation eines Mikrocontrollers vom Typ 8051 angenommen.

Beim Simulationsmodell des 8051-Mikrocontrollers sei angenommen, daß das erfindungsgemäße Verfahren implementiert ist. Beispielsweise kann der Assemblercode für das Simulationsmodell des 8051-Mikrocontrollers folgendermaßen lauten:

```
... (Programmcode) ...
```

```
db 0a5h, "l+" ; **** start lightspeed mode
```

```
mov sbuf, #"H" ; visible in the console window
```

```
mov sbuf, #"i"
```

```
mov sbuf, #"!"
```

```
db 0a5h, "1-" ; **** end lightspeed mode
```

```
mov sbuf, #"H" ; visible on the internal bus, but  
not in the console window
```

```
...(Programmcode)...
```

Der Programmcode wird zwischen den Marken direkt abgearbeitet, ohne daß das Simulationsmodell Taktflanken benötigt. Der hierbei abgearbeitete Programmcode befindet sich vor den Marken und nach den Marken und ist oben lediglich durch Punkte (...) angedeutet. Als Marken können die üblicherweise nicht verwendeten Opcode a5h mit der nachfolgenden ASCII-Zeichenfolge "1+" und "1-" zum Starten bzw. zum Beenden der zweiten Abfolge von Verfahrensschritten verwendet werden. Auch geeignete Opcodesequenzen können verwendet werden. Die zweite Abfolge von Verfahrensschritten wird nachfolgend als "lightspeedmode" bezeichnet.

Während dieser zweiten Abfolge von Verfahrensschritten wird die serielle Schnittstelle des Simulationsmodells des 8051-Mikrocontrollers nachgebildet, indem alle Ausgaben vom Simulationsmodell auf ihr Register SBUF direkt an das Konsolenfenster geschrieben werden.

Anhand eines weiteren Ausführungsbeispiels wird die Erfindung im Zusammenhang von Figuren weiter erläutert. Es zeigen:

Fig. 1: ein Blockschaltbild für eine Anordnung zur Gesamtsystemsimulation nach der Erfindung, und

Fig. 2: einen Ausschnitt von Verfahrensschritten einer CPU, die nach dem erfindungsgemäßen Verfahren betrieben wird.

In Fig. 1 ist ein Blockschaltbild für eine Anordnung zur Gesamtsystemsimulation nach der Erfindung dargestellt. Das Blockschaltbild zeigt den Kern eines Microprozessors  $\mu C$ , der eine CPU-Einheit CPU, einen Programmspeicher PS und einen Datenspeicher DS enthält, der Microprozessor  $\mu C$  ist mit einer Peripherieeinheit P in Verbindung, die mehrere Peripheriemodule PM1, PM2, PM3 bis Pmn aufweist. Zusätzlich sind zwei Blöcke für die simulierte Umgebung des Peripheriemoduls PM1 und des Peripheriemoduls PM3 dargestellt. Die Blöcke sind mit den Bezugszeichen SPM1 und SPM3 bezeichnet. Der Block SPM1 könnte beispielsweise ein simulierter Sinusgenerator sein. Der mit dem Bezugszeichen SPM3 bezeichnete Block könnte beispielsweise eine simulierte Konsole sein. Als Peripheriemodul PM1 kann beispielsweise ein Analog-/Digital-Wandler als Peripheriemodul PM2 ein Zähler und als Peripheriemodul PM3 eine serielle Schnittstelle vorgesehen sein. Sämtliche Komponenten, also der Microprozessor  $\mu C$ , die Peripheriemodule PM1 bis Pmn und die simulierten Umgebungen für die Peripheriemodule stehen mit einer gemeinsamen Zeitbasis clk, also einem gemeinsamen Takt, miteinander in Verbindung.

Eine Systemsimulation könnte bei einer solchen Anordnung beispielsweise folgendermaßen aussehen. Das Peripheriemodul PM1, also z. B. Analog-/Digital-Wandler, mißt die Spannung des simulierten Sinusgenerators und löst nach jeder Messung einen Interrupt aus. Die CPU liest daraufhin den Wert aus dem Ergebnisregister des Analog-/Digital-Wandlers und schreibt ihn in den Datenspeicher DS. Nach einer bestimmten Anzahl von Messungen, schaltet sich die CPU in die beschleunigte Betriebsart und wertet diese Messungen aus. Nachdem sie dies gemacht hat, schaltet sie in den normalen Moduls zurück und die Simulation läuft genau an der Stelle weiter, an der umgeschaltet wurde. Darum ist die Systemsimulation völlig unbeeinflusst von der Auswertung.

In Fig. 2 ist getragen auf simulierte Zeittakte 0 bis 6 der Status des Analog-/Digital-Wandlers (ADC) und der CPU bzw. deren Befehle dargestellt. Die CPU startet demnach eine ADC-Wandlung und kopiert das Ergebnis in den Speicher. Im

- 5 Lightspeed-Modus zur Testauswertung wird dann getestet, ob der Erwartungswert  $16 \pm 1$  gemessen wurde. Dieser Test ist ohne Einfluß auf die Gesamtsystems simulation, da die Wandlung 2 ohne Verzögerung gestartet wird.
- 10 Bei dem erfindungsgemäßen Verfahren sind die "Uhren aller Teilkomponenten" grundsätzlich starr gekoppelt und laufen synchron. Die Ausnahme bildet lediglich der sogenannte Lightspeed-Modus, bei dem die Uhr der Hardware Komponenten stillsteht und die Software auf der CPU jedoch abläuft. Vor
- 15 einem Zugriff von der Software auf die Hardware muss der Lightspeed-Modus explizit verlassen werden, was durch spezielle Marken, die ansonsten im Programm nicht vorhanden sind, ausgelöst wird.
- 20 Der Grund für die zwei verschiedenen Modi bei dem erfindungsgemäßen Verfahren liegt in der Möglichkeit der vollständigen Kontrolle der Uhr aller Teilkomponenten. Dies kann vorteilhafterweise für zwei Anwendungen genutzt werden:
- 25 1. Auf der simulierten CPU können Testprogramme ausgeführt werden, ohne daß die simulierte Zeit vergeht und damit die Systemsimulation an sich beeinflusst wird.
- 30 2. Die Simulation kann beschleunigt werden, wenn die Software nur auf der CPU läuft, ohne daß die Uhr der Hardware Komponenten weiterläuft.

Im Gegensatz zu dem bekannten Verfahren ist das erfindungsgemäße Verfahren deterministisch und reproduzierbar.

## Patentansprüche

1. Verfahren zur Systemsimulation mit simulierten Mikrocontrollern/Mikroprozessoren und zugehöriger Peripheriemodulen,  
gekennzeichnet durch  
5 eine erste Abfolge von Verfahrensschritten zur Simulation des Mikrocontrollers/Mikroprozessors und der Peripheriemodule mit vorbestimmten Signalmustern und  
eine zweite Abfolge von Verfahrensschritten zur Abfrage und  
10 zur Auswertung von durch die Simulation hervorgerufenen Systemzuständen,  
wobei die erste Abfolge zur Durchführung der zweiten Abfolge nach Maßgabe von in die erste Abfolge eingefügte Marken unterbrochen und die zweite Abfolge in einer an die Auswertung  
15 angepaßten, beschleunigten Betriebsart ausgeführt wird.

2. Verfahren nach Anspruch 1,  
dadurch gekennzeichnet,  
daß die erste Abfolge von Verfahrensschritten eine taktzyklenbasierte Simulation des Mikrocontrollers/Mikroprozessors  
20 und der Peripheriemodule vorsieht.

3. Verfahren nach Anspruch 1 oder 2,  
dadurch gekennzeichnet,  
25 daß die erste Abfolge von Verfahrensschritten eine Folge von aufeinanderfolgenden Programmcodes ist.

4. Verfahren nach Anspruch 3,  
dadurch gekennzeichnet,  
30 daß die Marken durch im Programmcode üblicherweise nicht verwendete Opcodes oder Opcodesequenzen gebildet sind.

5. Verfahren nach einem der Ansprüche 1 bis 4,  
dadurch gekennzeichnet,  
35 daß während der zweiten Abfolge von Verfahrensschritten vorgegebene Peripheriemodule funktional mitsimuliert werden.

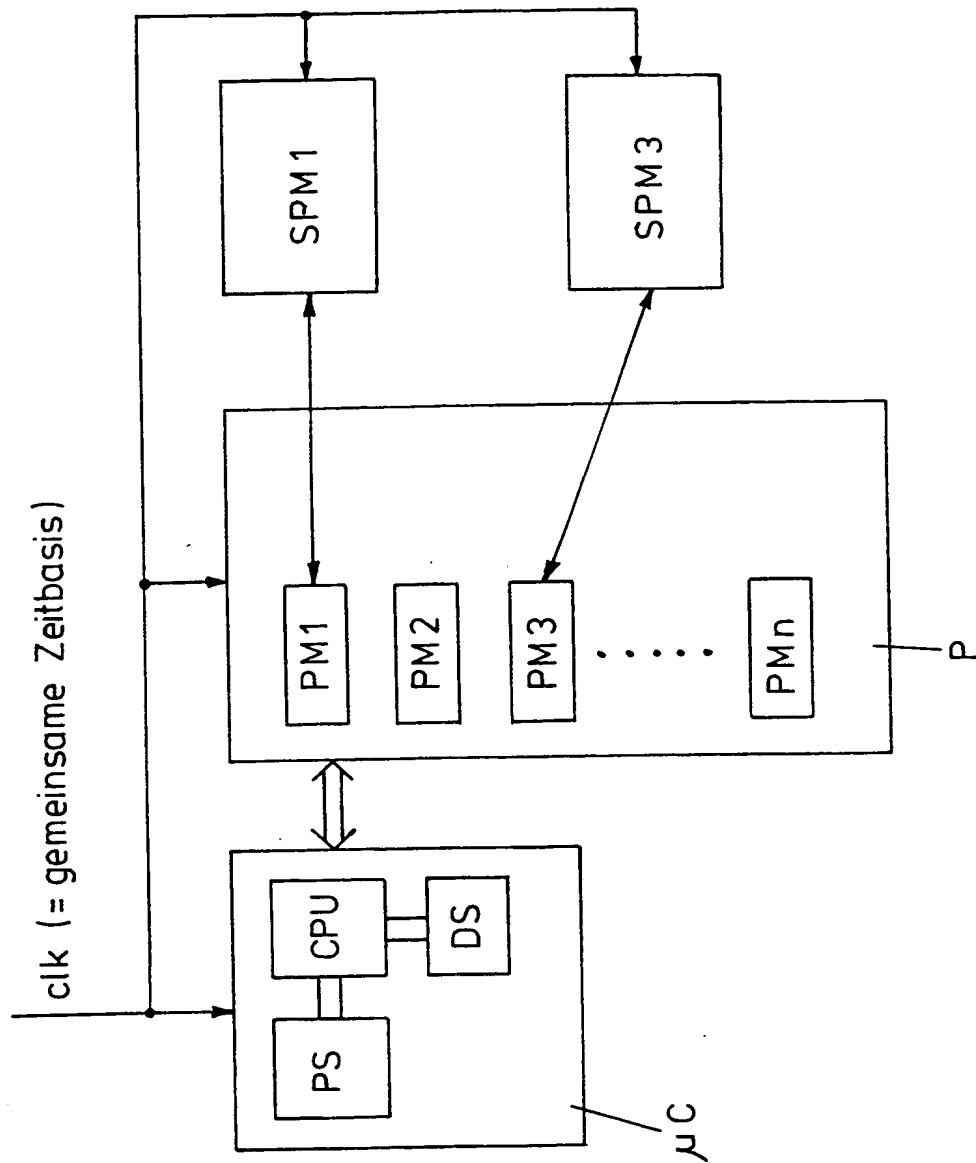
6. Vorrichtung zur Durchführung des Verfahrens nach einem der Ansprüche 1 bis 5,

g e k e n n z e i c h n e t d u r c h

- 5 eine Mikroprozessor-Steuereinheit zur Simulation des Moduls durch Erzeugung von im wesentlichen taktzyklengenauen Signalmustern sowie zur Abfrage und zur Auswertung der durch die Simulation hervorgerufenen Modulzustände während einer Programmunterbrechung durch Aktivierung eines Befehlssatz-
- 10 Simulators.

1/2

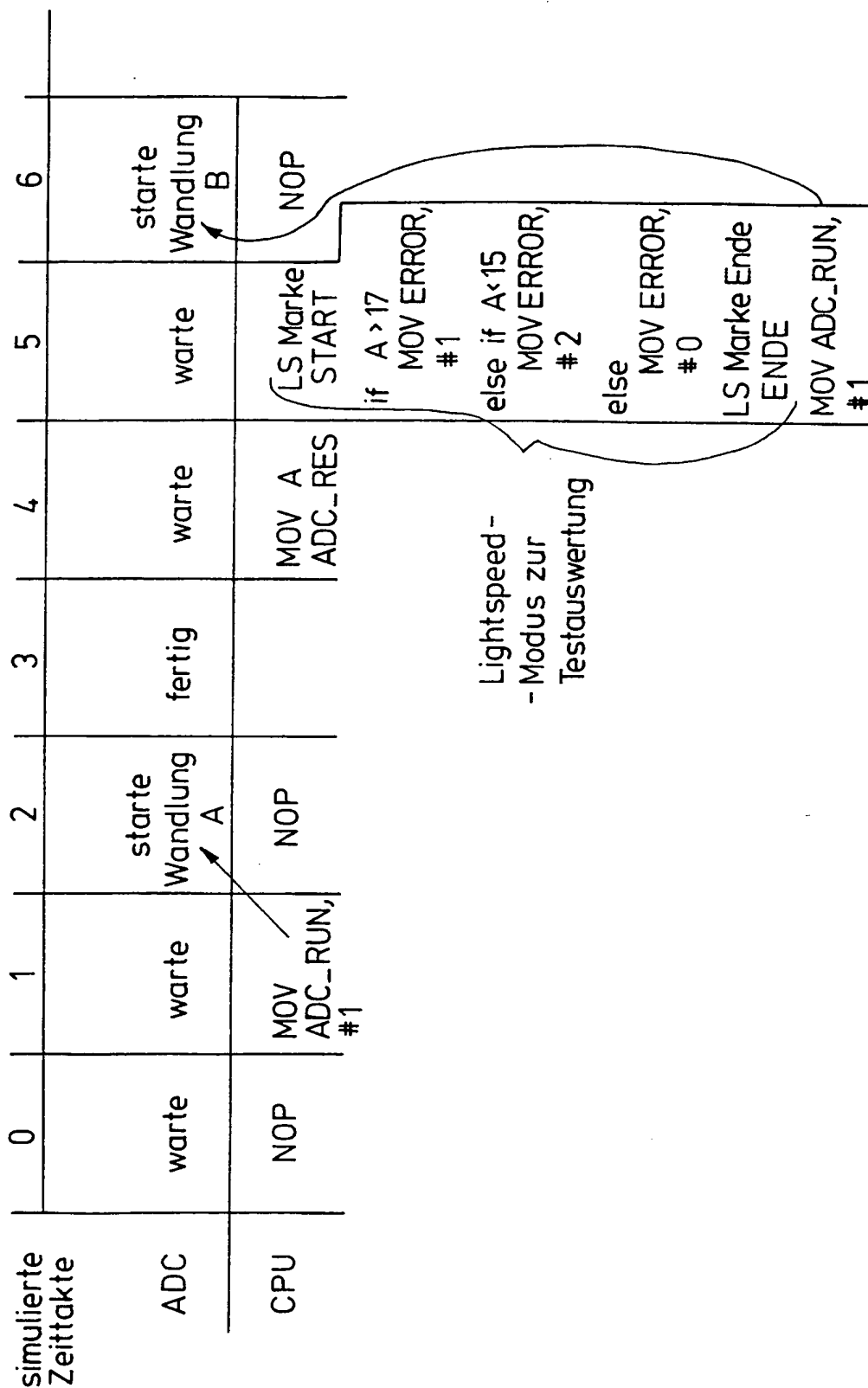
FIG 1



**THIS PAGE BLANK (USPTO)**



FIG 2



**THIS PAGE BLANK (USPTO)**

# INTERNATIONAL SEARCH REPORT

International Application No.

PCT/DE 99/02778

## A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 G06F11/26

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 546 562 A (PATEL CHANDRESH) 13 August 1996 (1996-08-13) abstract; claims 1-7	1-6
A	US 5 663 900 A (BHANDARI NARPAT ET AL) 2 September 1997 (1997-09-02) abstract; claim 1	1-6
A	US 5 692 161 A (BASSET PHILIPPE ET AL) 25 November 1997 (1997-11-25) abstract; claims 1-5	1-6



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

### \* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

21 February 2000

Date of mailing of the international search report

28/02/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax (+31-70) 340-3016

Authorized officer

Sarasua, L.

# INTERNATIONAL SEARCH REPORT

information on patent family members

Intern. Application No

PCT/DE 99/02778

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5546562 A	13-08-1996	AU 5091596 A WO 9627162 A	18-09-1996 06-09-1996
US 5663900 A	02-09-1997	NONE	
US 5692161 A	25-11-1997	FR 2696561 A DE 69300109 D DE 69300109 T EP 0594473 A JP 6236291 A	08-04-1994 18-05-1995 17-08-1995 27-04-1994 23-08-1994

# INTERNATIONALER RECHERCHENBERICHT

Intern. siehe Aktenzeichen

PCT/DE 99/02778

## A. KLASSTIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 G06F11/26

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 G06F

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der Internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 5 546 562 A (PATEL CHANDRESH) 13. August 1996 (1996-08-13) Zusammenfassung; Ansprüche 1-7	1-6
A	US 5 663 900 A (BHANDARI NARPAT ET AL) 2. September 1997 (1997-09-02) Zusammenfassung; Anspruch 1	1-6
A	US 5 692 161 A (BASSET PHILIPPE ET AL) 25. November 1997 (1997-11-25) Zusammenfassung; Ansprüche 1-5	1-6



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"Z" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der Internationalen Recherche

21. Februar 2000

Abschließdatum des Internationalen Recherchenberichts

28/02/2000

Name und Postanschrift der Internationalen Recherchenbehörde  
Europäisches Patentamt, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax (+31-70) 340-3018

Bevollmächtigter Bediensteter

Sarasua, L.

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internat. des Aktenzeichen

PCT/DE 99/02778

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 5546562	A	13-08-1996	AU	5091596 A	18-09-1996
			WO	9627162 A	06-09-1996
US 5663900	A	02-09-1997	KEINE		
US 5692161	A	25-11-1997	FR	2696561 A	08-04-1994
			DE	69300109 D	18-05-1995
			DE	69300109 T	17-08-1995
			EP	0594473 A	27-04-1994
			JP	6236291 A	23-08-1994